

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-018253

(43)Date of publication of application : 17.01.1997

(51)Int.Cl.

H03F 3/45  
H03F 3/343  
H03K 5/02  
H03K 17/687

(21)Application number : 07-166475

(71)Applicant : TEXAS INSTR JAPAN LTD  
HINODE HIGHTECH:KK

(22)Date of filing : 30.06.1995

(72)Inventor : CHIMURA TAKESHI  
AZUMA MASAHIKO  
SATOU TATSUMI

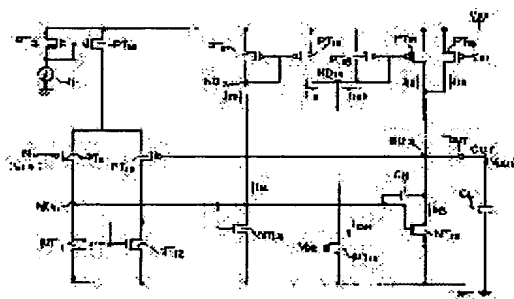
## (54) OPERATIONAL AMPLIFICATION CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce the power consumption and to perform the operation at a high speed by outputting a large current in the case of charging/discharging of a load capacity and outputting a small current in the other case of the normal state.

**CONSTITUTION:** A current mirror circuit consisting of pMOS transistors TRs PT17 and PT18 is arranged in the succeeding stage of a differential amplifier in the first stage, and the output of this differential amplifier is supplied to the gate of an nMOS TR NT14, and the current mirror circuit current is used to supply a current to the output stage side by a current mirror circuit consisting of pMOS TRs PT15 and PT16. A constant current source of a pMOS TR PT19, which supplies an idling current I19 to an output terminal TOUT is

provided. Consequently, the large current for output discharging flows to only the output stage because of the class AB operation, and the unnecessary current is reduced. Thus, the operation is performed at a high speed with low power consumption. Further, the DC operation in the steady state or at the time of switching to this state is stabilized without taking characteristics in the vicinity of the threshold voltage of the TR PT16 into consideration, and the production process doesn't require the strict control.



## LEGAL STATUS

[Date of request for examination]

01.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

JP,09-018253,A

## [Claim(s)]

[Claim 1] The operation amplifying circuit characterized by providing the following. The 1st current source which supplies the 1st and 2nd current in proportionality. The 2nd current source which supplies the 3rd current. The constant-current means which sets constant the addition current of the 2nd current of the above, and the 3rd current of the above. The 1st transistor which charges or discharges an outgoing end with the current proportional to the 3rd current of the above, The 2nd transistor which embraces an input signal, and discharges or charges the above-mentioned outgoing end, The 3rd transistor which controls the current value of the 1st current of the above by the relation proportional to the current which flows to the 2nd transistor of the above according to the above-mentioned input signal, and the 3rd current source which supplies the 4th current to the above-mentioned outgoing end at the time of the steady state which it is at least at the non-charge-and-discharge time.

[Claim 2] The operation amplifying circuit characterized by providing the following. The 1st current source which supplies the 1st and 2nd current in proportionality. The 2nd current source which supplies the 3rd current. The constant-current means which sets constant the addition current of the 2nd current of the above, and the 3rd current of the above. The 1st transistor which charges or discharges an outgoing end with the current proportional to the 3rd current of the above, the 2nd transistor which embraces an input signal, and discharges or charges the above-mentioned outgoing end, the 3rd transistor which control the current value of the 1st current of the above by the relation proportional to the current which flows to the 2nd transistor of the above according to the above-mentioned input signal, and a restricting-at time of electric discharge-upper limit of 1st current of the above circuit.

[Claim 3] The operation amplifying circuit characterized by providing the following. The 1st current source which supplies the 1st and 2nd current in proportionality. The 2nd current source which supplies the 3rd current. The constant-current means which sets constant the addition current of the 2nd current of the above, and the 3rd current of the above. The 1st transistor which charges or discharges an outgoing end with the current proportional to the 3rd current of the above, The 2nd transistor which embraces an input signal, and discharges or charges the above-mentioned outgoing end, The 3rd transistor which controls the current value of the 1st current of the above by the relation proportional to the current which flows to the

2nd transistor of the above according to the above-mentioned input signal, The 3rd current source which supplies the 4th current to the above-mentioned outgoing end at the time of the steady state which it is at least at the non-charge-and-discharge time, and the circuit which restricts the upper limit of the 1st current of the above at the time of electric discharge.

---



---

DETAILED DESCRIPTION

---



---

## [Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the operation amplifying circuit applied to for example, a liquid crystal device etc.

[0002]

[Description of the Prior Art] The source drive IC of a TFT (Thin Film Transistor) type liquid crystal device carries out sample hold of the analog input, buffers the voltage by the operation amplifying circuit by which voltage-follower connection was made, and is driving the source of a TFT type liquid crystal device. A circuit scale needs to be small by the many channelization which the operation amplifying circuit used here must be able to drive the capacity of hundreds of pF which a liquid crystal panel has at high speed, and is followed on enlargement of a liquid crystal panel. In fact, at least one operation amplifying circuit is used for each channel.

[0003] Drawing 8 is the circuit diagram showing the example of composition of the conventional CMOS operation amplifying circuit. In drawing 8, in PT11-PT16, a pMOS transistor, and NT11-NT13 show I11, and a nMOS transistor and I12 show the current source, respectively.

[0004] The sources of the pMOS transistors PT11 and PT12 are connected, the source of the pMOS transistors PT13-PT16 is connected to the supply line of supply voltage VDD, and the source of the nMOS transistors NT11-NT13 is connected to the grounding line. The drains of the pMOS transistor PT 11 and the nMOS transistor NT11 are connected, and the node ND 11 is constituted. Moreover, the drains of the pMOS transistor PT 12 and the nMOS transistor NT12 are connected, the gates of nMOS transistor NT11 \*\*\*\* NT12 are connected, the connection middle point of these gates is further connected to the drain of the nMOS transistor NT12, and the differential amplifier of the first rank is constituted. The node ND 11 which is

the output of this differential amplifier is connected to the gate of the nMOS transistor NT13. The drains of the pMOS transistor PT 16 and the nMOS transistor NT13 are connected, the output amplification stage is constituted, the output side node ND 12 is constituted by the connection middle point of these drains, and this node ND 12 is an outgoing end TOUT. It connects.

[0005] Moreover, the gates of the pMOS transistors PT13 and PT14 are connected, the connection middle point of these gates is connected to the drain and current source I11 of the pMOS transistor PT 13, and current Miller circuit is constituted. And the drain of the pMOS transistor PT 14 is connected to the connection middle point of the sources of the pMOS transistors PT11 and PT12 which constitute the differential amplifier. Thereby, a constant current is supplied from current Miller circuit to the differential amplifier. Similarly, the gates of the pMOS transistors PT15 and PT16 are connected, the connection middle point of these gates is connected to the drain and current source I12 of the pMOS transistor PT 15, and current Miller circuit is constituted. A constant current is supplied by this current Miller circuit to the output amplification stage.

[0006] and the first rank -- the gate of the pMOS transistor PT 11 of the differential amplifier is connected to the input edge TIN of Signal IN, and the gate of the pMOS transistor PT 12 is connected to the output side node ND 12 the first rank -- since a noninverting input is constituted by the gate of the pMOS transistor PT 11, a reversal input is constituted by the gate of the pMOS transistor PT 12 and the reversal input is connected to the output, the differential amplifier is the amplifier of gain "1" Moreover, between the gate of the nMOS transistor NT13 of an output stage, and the drain, the capacitor C11 for phase compensation is connected.

[0007] The CMOS operation amplifying circuit of drawing 8 is VOUT of the input applied voltage VIN and this voltage. It outputs. And since the output stage is driven by the constant current, this operational amplifier carries out Class A operation.

[0008]

[Problem(s) to be Solved by the Invention] By the way, although what also has a high-speed operation amplifying circuit is needed with enlargement of a liquid crystal panel, and high-resolution-izing, by the CMOS operation amplifying circuit of drawing 8 , speed will be determined by the constant-current value by the current Miller circuit which consists of pMOS transistors PT15 and PT16, and although electric discharge can do load-carrying capacity at high speed, charge must enlarge a constant current, in order to make it high-speed. This current carries out the charge

up of the load, and in order for the steady state or later to which output voltage became equal to input voltage to always continue flowing, the consumed electric current becomes large.

[0009] Then, in order to solve this problem, the circuit which connected the amplifier for charge as shown in drawing 9 , and the amplifier for electric discharge in parallel is proposed. However, in this circuit, it is the amplifier AMPA for charge. Amplifier AMPB for electric discharge Switch SW11A for changing, SW12A, SW11B, and SW12B It is needed, and since two amplifier is required for every channel, there is a problem of causing enlargement.

[0010] It is in offering the operation amplifying circuit which the purpose can aim at improvement in a working speed, and can also attain low-power-ization by making this invention in view of this situation, and can prevent enlargement.

[0011]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the operation amplifying circuit of this invention The 1st current source which supplies the 1st and 2nd current in proportionality, and the 2nd current source which supplies the 3rd current, The constant-current means which sets constant the addition current of the 2nd current of the above, and the 3rd current of the above, The 1st transistor which charges or discharges an outgoing end with the current proportional to the 3rd current of the above, The 2nd transistor which embraces an input signal, and discharges or charges the above-mentioned outgoing end, It has the 3rd transistor which controls the current value of the 1st current of the above by the relation proportional to the current which flows to the 2nd transistor of the above according to the above-mentioned input signal, and the 3rd current source which supplies the 4th current to the above-mentioned outgoing end at the time of the steady state which it is at least at the non-charge-and-discharge time.

[0012] Moreover, the 1st current source which supplies the 1st and 2nd current which the operation amplifying circuit of this invention has in proportionality, The constant-current means which sets constant the addition current of the 2nd current source which supplies the 3rd current, and the 2nd current of the above and the 3rd current of the above, The 1st transistor which charges or discharges an outgoing end with the current proportional to the 3rd current of the above, The 2nd transistor which embraces an input signal, and discharges or charges the above-mentioned outgoing end, It has the 3rd transistor which controls the current value of the 1st current of the above by the relation proportional to the current which flows to the 2nd transistor of the above according to the above-

mentioned input signal, and the circuit which restricts the upper limit of the 1st current of the above at the time of electric discharge.

[0013]

[Function] According to the operation amplifying circuit of this invention, the 1st current, the 2nd current, and the current that flows the 2nd transistor are in proportionality. Since the current which is fixed as for the addition current of the 2nd current and the 3rd current, and flows the 3rd current and 1st transistor is in proportionality. If the flowing current increases the 2nd transistor, when the 1st current and the 2nd current increase, the current which the 3rd current decreases and flows the 1st transistor will decrease. On the other hand, if the current which flows to the 2nd transistor decreases, when the 1st current and the 2nd current decrease, the current which the 3rd current increases and flows to the 1st transistor will increase. That is, this circuit carries out the charge and discharge of the outgoing end in AB class operation.

[0014] And at the time of a steady state at least, the so-called idling current is supplied from the 3rd current source to an output terminal. Here, if the case where the 3rd current source does not exist is considered, you have to pass the very small current which is equivalent to idling current in this case at the time of a steady state with the 1st transistor. In order to raise the speed of a rise of the output voltage at the time of electric discharge, i.e., a slew rate, originally, the transistor size of the 1st transistor is set up so that it may become large. In order to pass very small current with the 1st transistor at this time, you have to make it the 1st transistor have to operate near the threshold voltage. This means a bird clapper very [ in circuit ] unstably, when the threshold voltage of the 1st transistor varies by the condition of a process. On the other hand, it is possible to make it operate stably in the 3rd current source existing, without taking into consideration the property near the threshold voltage of the 1st transistor.

[0015] Moreover, at the time of electric discharge, the upper limit of the 1st current is extremely large, a bird clapper is restricted, and the consumed electric current is suppressed at it.

[0016]

[Example 1] Drawing 1 is the circuit diagram showing the 1st example of the CMOS operation amplifying circuit concerning this invention, and the same component as drawing 8 which shows the conventional example is expressed with the same sign. Namely, for a nMOS transistor and I11, a current source and C11 are [ a pMOS transistor, and NT11-NT15 / PT11-PT19 ] a capacitor for phase compensation, and CL. Output load-carrying capacity is shown, respectively.

[0017] The current Miller circuit which becomes the

latter part of the differential amplifier from the pMOS transistors PT17 and PT18 is arranged. the first rank [ in / a circuit / conventionally which is shown in drawing 8 in this circuit ] - The output of the differential amplifier is supplied. the gate of the nMOS transistor NT14 - the first rank - It is constituted so that current may be supplied to an output-stage side by the current Miller circuit which consists of pMOS transistors PT15 and PT16 using the current which flows to the above-mentioned current Miller circuit. Furthermore, the pMOS transistor PT 19 as a constant current source is connected between the supply line of supply voltage VDD, and a node ND 12 (drain of the pMOS transistor PT 16), and it is constituted so that idling current I19 may be slushed into a node ND 12. Moreover, the gate of the pMOS transistor PT 19 is connected to the supply line of a constant voltage VB 1. [0018] The source of the pMOS transistor PT 17 and the pMOS transistor PT 18 is connected to the supply line of supply voltage VDD, the gates of the pMOS transistor PT 17 and the pMOS transistor PT 18 are connected, the connection middle point is connected to the drain of the pMOS transistor PT 17, a node ND 13 is constituted and this node ND 13 is connected to the drain of the nMOS transistor NT14. And the drains of the nMOS transistor NT15 are connected with the drain of the pMOS transistor PT 18, a node ND 14 is constituted and this node ND 14 is connected to the drain of the pMOS transistor PT 15, the gate, and the gate of the pMOS transistor PT 16. A node ND 14 is connected to the drain of the nMOS transistor NT15, the source of the nMOS transistor NT15 is connected to a grounding line, and the gate is connected to the supply line of a constant voltage VB 2. That is, a constant current is generated with the nMOS transistor NT15. Furthermore, the source of the nMOS transistor NT14 is connected to a grounding line, and the gate is connected to the node ND 11.

[0019] Drawing 2 is the circuit diagram showing the example of composition of the constant-voltage supply circuit 100 which supplies constant voltages VB1 and VB2 to the gate of the pMOS transistor PT 19 as a constant current source, and the nMOS transistor NT15.

[0020] This constant-voltage supply circuit 100 is a resistance element R101, the pMOS transistors [ PT / PT and / 102 ] 101, and nMOS transistor NT101 - NT103, as shown in drawing 2 . It is constituted. Resistance element R101 And the nMOS transistor NT101 and the pMOS transistor PT 101 And the nMOS transistor NT102, the pMOS transistor PT 102, and the nMOS transistor NT103 It connects in series between the supply line of supply voltage VDD, and the grounding line, respectively. And resistance element R101 nMOS transistor NT101 The connection middle

point with a drain is the nMOS transistor NT101. And NT102 It connects with the gate. Moreover, pMOS transistor PT 101 And the connection middle point ND 101 of the drains of the nMOS transistor NT102 pMOS transistor PT 101 And PT102 It connects with the gate, current Miller circuit is constituted, and the potential of this node ND 101 is supplied to the gate of the pMOS transistor PT 19 as a constant voltage VB 1. Moreover, pMOS transistor PT 102 And nMOS transistor NT103 The connection middle point ND 101 of drains nMOS transistor PT 103 It connects with the gate and is the connection node ND 102. The shell constant voltage VB 2 is supplied to the gate of the nMOS transistor NT15.

[0021] Next, the current which flows to the drain of the nMOS transistors NT13, NT14, and NT15 is explained focusing on the flow of current about operation according the current which flows to I13, I14, I15N, and the pMOS transistors PT17, PT18, PT15, PT16, and PT19, respectively to the above-mentioned composition respectively as I17, I18, I15P, and I16 and I19.

[0022] First,  $V_{IN} > V_{OUT}$  when the gate voltage of the nMOS transistor NT13 of an output stage falls and it charges an output load A case is explained. In this case, a node ND 11 is mostly set to grounding level (0V), and cuts off the nMOS transistors NT14 and NT13. And a node ND 13 approaches VDD level in potential, and the current I17 which flows the pMOS transistor PT 17 is almost set to 0.

[0023] The current I18 which flows to the drain of the pMOS transistor PT 18 since the pMOS transistor PT 17 and the pMOS transistor PT 18 constitute current Miller circuit is proportionally given to the ratio of the transistor size of the pMOS transistor PT 17 and the pMOS transistor PT 18 by the following formula.

[0024]

[Equation 1]

$I_{18} = \{(W_{18}/L_{18}) / (W_{17}/L_{17})\} \cdot I_{17}$  -- (1) [0025] Here,  $W_{18}$  and  $W_{17}$  show  $L_{18}$ , and the channel width of a transistor and  $L_{17}$  show the channel length of a transistor, respectively. However, as mentioned above in this case, the current I18 to which the current I17 which flows the pMOS transistor PT 17 almost flows from 0 and a bird clapper to the pMOS transistor PT 18 at a drain is also set to about 0.

[0026] Current I15N which flows to the drain of the nMOS transistor NT15 Since it is fixed, it is I15P = I15N. It becomes and is current I15N. It flows to the pMOS transistor PT 15 about 100%. Moreover, since the pMOS transistor PT 15 and the pMOS transistor PT 16 constitute current Miller circuit, the following formula is materialized.

[0027]

[Equation 2]

$I_{16} = \{(W_{16}/L_{16}) / (W_{15}/L_{15})\} \cdot I_{15P}$  and  $I_{15P} = \{(W_{16}/L_{16}) / (W_{15}/L_{15})\} \cdot I_{15N}$  -- (2) [0028]

From these things, it is an output terminal TOUT. Output current IOUT It is as follows.

[0029]

[Equation 3]

$I_{OUT} = I_{16} + I_{19} = \{(W_{16}/L_{16}) / (W_{15}/L_{15})\} \cdot I_{15N} + I_{19}$  -- (3) [0030] At this time, the drain current I13 of the nMOS transistor NT13 and the drain current I14 of the nMOS transistor NT14 are about 0. Therefore, the drain current I18 of the pMOS transistor PT 18 increases, consequently the drain current I16 of the pMOS transistor PT 16 of an output stage increases with the increase in current I18. Thereby, charge of an output load is promoted.

[0031] The value of idling current I19 with the pMOS transistor PT 19 as a constant current source at the time of this charge is about 4.8microA, and the drain current I16 of the pMOS transistor PT 16 is about 280microA.

[0032] Next,  $V_{IN} < V_{OUT}$  when the gate voltage of the nMOS transistor NT13 of an output stage goes up and it discharges an output load A case is explained. In this case, if an input signal IN is supplied to the gate of the pMOS transistor PT 11 of the differential amplifier by the low near grounding level, it will become high, the gate voltage of the nMOS transistors NT13 and NT14 will go up, and the drain current I13 and I14 of the nMOS transistors NT13 and NT14 will increase the level of a node ND 11 from the threshold voltage of the nMOS transistors NT14 and NT13. Here, the nMOS transistors NT13 and NT14 presuppose that it is the same transistor size.

[0033] Thereby, current I15P and I18 flow into a node ND 14 from each pMOS transistors PT15 and PT18 which constitute current Miller circuit. Here, in the drain side of the nMOS transistor NT15 with which a constant voltage VB 2 is supplied to the gate, it is constant-current I15N. It flows. This constant-current I15N Drain current I15P of the drain current I18 of the pMOS transistor PT 18, and the pMOS transistor PT 15 which flow into a node ND 14 as shown in the following formula It becomes the sum.

[0034]

[Equation 4]

$I_{15N} = I_{18} + I_{15P}$  -- (4) Therefore, [0035]

[Equation 5]

$I_{15P} = I_{15N} - I_{18}$  -- (5) [0036] That is, current I18 is drain current I15P of the pMOS transistor PT 15 since it increases with the increase in the drain current I14 of the nMOS transistor NT14. It decreases.

[0037] It is drain current I15P of the pMOS transistor PT 15 by setting up the transistor size of the nMOS transistor NT14 and the pMOS transistors PT17, PT18,

PT15, and PT16 here so that following the (6) formula may be materialized. It is set to about 0.

[0038]

[Equation 6]

$I_{15N} = I_{18} = \{(W_{18}/L_{18}) / (W_{17}/L_{17})\} \cdot I_{17}$  -- (6)

[0039] In this case, drain current  $I_{15P}$  of the pMOS transistor PT 15 Since it is about 0, the drain current  $I_{16}$  of the pMOS transistor PT 16 also decreases, and it is set to about 0. Consequently, output terminal TOUT The so-called suction current of a shell is set to ( $I_{13}$ - $I_{19}$ ), and electric discharge of an output load is promoted.

[0040] The value of idling current  $I_{19}$  with the pMOS transistor PT 19 as a constant current source at the time of this electric discharge is about 2.7microA, and the drain current  $I_{16}$  of the pMOS transistor PT 16 is about 0A.

[0041] Next, output load CL  $V_{IN} = V_{OUT}$  when it is the steady state to which the receiving charge and discharge are not carried out A case is explained. In this case, output terminal TOUT I/O of current is lost and is set to  $I_{13} = I_{19}$ .

[0042] Incidentally, the value of idling current  $I_{19}$  with the pMOS transistor PT 19 as a constant current source at the time of this steady state and the drain current  $I_{16}$  of the pMOS transistor PT 16 are the same as the case at the time of electric discharge, for example, it is idling current  $I_{19}$  about 2.7microA, and the drain current  $I_{16}$  of the pMOS transistor PT 16 is about 0A.

[0043] Here, in the circuit of drawing 1, the case where the constant current source which consists of a pMOS transistor PT 19 does not exist is considered. In this case,  $V_{IN} = V_{OUT}$  You sometimes have to pass the very small current equivalent to idling current  $I_{19}$  with the pMOS transistor PT 16. Original and  $V_{IN} < V_{OUT}$  In order to raise the speed of elevation of the output voltage at the time, i.e., a slew rate, the transistor size of the pMOS transistor PT 16 is set up to the pMOS transistor PT 15 so that it may become large. In order to pass very small current with the pMOS transistor PT 16 at this time, you have to make it the pMOS transistor PT 16 have to operate near the threshold voltage. This means a bird clapper very [ in circuit ] unstably, when the threshold voltage of the pMOS transistor PT 16 varies by the condition of a process. Therefore, it is possible to make it operate stably in the constant current source which consists of a pMOS transistor PT 19 existing, without taking into consideration the property near the threshold voltage of the pMOS transistor PT 16.

[0044] The simulation result about the circuit property of drawing 1 is shown in drawing 3. As shown in drawing 3, the circuit of drawing 1 can acquire an almost good amplification property.

[0045] The current Miller circuit which becomes the latter part of the differential amplifier from the pMOS transistors PT17 and PT18 is arranged. according to [ as explained above ] the example of \*\*\*\* 1 -- the first rank -- The output of the differential amplifier is supplied. the gate of the nMOS transistor NT14 -- the first rank -- Current is supplied to an output-stage side by the current Miller circuit which consists of pMOS transistors PT15 and PT16 using the current which flows to the above-mentioned current Miller circuit. And output terminal TOUT Since the constant current source which consists of a pMOS transistor PT 19 which receives and supplies idling current  $I_{19}$  was prepared Since not Class A operation but the so-called AB class operation is carried out, the high current at the time of output electric discharge can flow only to an output stage, and can decrease excessive current. There is an advantage which can realize the CMOS operation amplifying circuit in which high-speed operation is possible by the low power conventionally, without causing enlargement, this securing the same dynamic range as usual. Furthermore, stability of direct-current-operation when changing in a steady state and its state, without taking into consideration the property near the threshold voltage of the pMOS transistor PT 16 can be planned. For this reason, there is an advantage, like control becomes unnecessary in a manufacture process strictly.

[0046] Moreover, the further low consumed-electric-current-ization is realizable by using Wilson type current Miller circuit as current Miller circuit.

[0047]

[Example 2] Drawing 4 is the circuit diagram showing the 2nd example of the operation amplifying circuit concerning this invention, and this circuit is the modification of an example 1. In this circuit, the transistor of an n channel is used for the polarity of each transistor instead of the transistor of a p channel by reverse, i.e., drawing 1, and the transistor of a p channel is used instead of being the transistor of an n channel.

[0048] Here, the explanation about a concrete connection relation and an operation is omitted from being carried out like the case of an example 1, and abbreviation. Also in this circuit, the effect of the example 1 mentioned above and the same effect can be acquired.

[0049]

[Example 3] Drawing 5 is the circuit diagram showing the 3rd example of the operation amplifying circuit concerning this invention. A different point from the example 1 which the example of \*\*\*\* 3 mentioned above is to have connected the gate to the supply line of a constant voltage  $V_B$  2, and have formed further the

nMOS transistor NT16 as a current source for demand limiters at the time of electric discharge between the source of the nMOS transistor NT14, and the grounding line.

[0050] When there is no nMOS transistor NT16, it is at the time of electric discharge, i.e.,  $V_{IN} < V_{OUT}$ . The time, especially output voltage  $V_{OUT}$  When extremely higher than  $V_{IN}$ , the gate potential rises so that current with the big nMOS transistor NT13 can be passed. That is, big current will flow also to the nMOS transistor NT14 which has the same gate potential at this time. The following formula should just be materialized if fundamental operation is considered.

[0051]

[Equation 7]

$I_{17} \geq \{(W_{17}/L_{17}) / (W_{18}/L_{18})\} \text{ and } I_{18} = I_{15N} - (7)$

[0052] However, current  $I_{17}$  is  $I_{15N}$  temporarily. It compares and becomes very big current. This is not a desirable thing from a consumed-electric-current-standpoint. Then, in the example of \*\*\*\* 3, the constant current source which consists of a nMOS transistor NT16 in the meaning which restricts current  $I_{17}$  is completely provided on operation that it seems that it is satisfactory. In addition, this constant current source is current  $I_{15N}$ . It is constituted so that large current can be passed somewhat.

[0053] Since the constant current source of \*\* which makes the consumed electric current of the interior the minimum, without changing an operating characteristic was prepared according to the example of \*\*\*\* 3, in addition to the effect of the 1st example mentioned above, the consumed electric current of the whole circuit can be stopped further.

[0054] The simulation result about the circuit property of drawing 5 is shown in drawing 6. As shown in drawing 6, although the circuit of drawing 1 can acquire an almost good amplification property, the circuit of drawing 5 can acquire a still better amplification property.

[0055] In addition, although considered as the composition which adds the nMOS transistor NT16 as a current source for demand limiters at the time of electric discharge to the circuit in which the constant current source for idling current of drawing 1 was prepared with the composition of drawing 5, even if it is the circuit which is not used together with the constant current source for idling current, it cannot be overemphasized that low consumed-electric-current-ization can be attained.

[0056]

[Example 4] Drawing 7 is the circuit diagram showing the 4th example of the operation amplifying circuit concerning this invention, and this circuit is the modification of an example 3. In this circuit, the

transistor of an n channel is used for the polarity of each transistor instead of the transistor of a p channel by reverse, i.e., drawing 5, and the transistor of a p channel is used instead of being the transistor of an n channel.

[0057] Here, the explanation about a concrete connection relation and an operation is omitted from being carried out like the case of an example 1, and abbreviation. Also in this circuit, the effect of the example 3 mentioned above and the same effect can be acquired.

[0058] Moreover, in each example mentioned above, although the MOS transistor was explained to the example, it cannot be overemphasized that the same output circuit can be constituted using a bipolar transistor.

[0059]

[Effect of the Invention] As explained above, the operation amplifying circuit of this invention operates in AB class operation, big current is outputted only at the time of the charge and discharge to load-carrying capacity, and since only small current is outputted in the steady state to which the charge and discharge to load-carrying capacity are not carried out, both a low power and high-speed operation are realized. Moreover, since it is not necessary to form the amplifier for charges and discharges, respectively, there is an advantage which can prevent enlargement of an operational amplifier. Moreover, stability of direct-current-operation when changing in a steady state and its state, without taking into consideration the property near the threshold voltage of the 1st run JISUTA can be planned. For this reason, there is an advantage, like control becomes unnecessary in a manufacture process strictly.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the 1st example of the operation amplifying circuit concerning this invention.

[Drawing 2] It is the circuit diagram showing the example of composition of the constant-voltage supply circuit concerning this invention.

[Drawing 3] It is drawing showing the simulation result of the circuit of drawing 1.

[Drawing 4] It is the circuit diagram showing the 2nd example of the operation amplifying circuit concerning this invention.

[Drawing 5] It is the circuit diagram showing the 3rd example of the operation amplifying circuit concerning this invention.



[Drawing 6] It is drawing showing the simulation result of the circuit of drawing 5 .

[Drawing 7] It is the circuit diagram showing the 4th example of the operation amplifying circuit concerning this invention.

[Drawing 8] It is the circuit diagram showing the example of composition of the conventional CMOS operation amplifying circuit.

[Drawing 9] It is the circuit diagram showing the example of composition of the conventional CMOS operation amplifying circuit which has the amplifier for charge, and the amplifier for electric discharge.

[Description of Notations]

PT11-PT19, and PT11a - PT16a -- pMOS transistor

NT11-NT16, and NT11a - NT19a -- nMOS transistor

C11 and C11a -- Capacitor for phase compensation

I11 and I11a -- current source

**\* NOTICES \***

Japan Patent Office is not responsible for anydamages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.



## 【特許請求の範囲】

【請求項 1】 比例関係にある第 1 および第 2 の電流を供給する第 1 の電流源と、  
第 3 の電流を供給する第 2 の電流源と、  
上記第 2 の電流と上記第 3 の電流との加算電流を一定とする定電流手段と、  
上記第 3 の電流に比例した電流で出力端を充電または放電する第 1 のトランジスタと、  
入力信号に応じて上記出力端を放電または充電する第 2 のトランジスタと、  
上記入力信号に応じて上記第 2 のトランジスタに流れる電流に比例した関係で上記第 1 の電流の電流値を制御する第 3 のトランジスタと、  
少なくとも非充放電時である定常状態時に、上記出力端に対し第 4 の電流を供給する第 3 の電流源とを有する演算増幅回路。

【請求項 2】 比例関係にある第 1 および第 2 の電流を供給する第 1 の電流源と、  
第 3 の電流を供給する第 2 の電流源と、  
上記第 2 の電流と上記第 3 の電流との加算電流を一定とする定電流手段と、  
上記第 3 の電流に比例した電流で出力端を充電または放電する第 1 のトランジスタと、  
入力信号に応じて上記出力端を放電または充電する第 2 のトランジスタと、  
上記入力信号に応じて上記第 2 のトランジスタに流れる電流に比例した関係で上記第 1 の電流の電流値を制御する第 3 のトランジスタと、  
放電時に上記第 1 の電流の上限値を制限するの回路とを有する演算増幅回路。

【請求項 3】 比例関係にある第 1 および第 2 の電流を供給する第 1 の電流源と、  
第 3 の電流を供給する第 2 の電流源と、  
上記第 2 の電流と上記第 3 の電流との加算電流を一定とする定電流手段と、  
上記第 3 の電流に比例した電流で出力端を充電または放電する第 1 のトランジスタと、  
入力信号に応じて上記出力端を放電または充電する第 2 のトランジスタと、  
上記入力信号に応じて上記第 2 のトランジスタに流れる電流に比例した関係で上記第 1 の電流の電流値を制御する第 3 のトランジスタと、  
少なくとも非充放電時である定常状態時に、上記出力端に対し第 4 の電流を供給する第 3 の電流源と放電時に上記第 1 の電流の上限値を制限する回路とを有する演算増幅回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、たとえば液晶デバイス等に適用される演算増幅回路に関するものである。

## 【0002】

【従来の技術】 TFT (Thin Film Transistor) 型液晶デバイスのソースドライブ IC は、アナログ入力をサンプルホールドし、その電圧をボルテージフォロウ接続された演算増幅回路によりバッファリングし、TFT 型液晶デバイスのソースを駆動している。ここで用いられる演算増幅回路は、液晶パネルが持つ数百 pF の容量を高速に駆動できなければならず、また、液晶パネルの大型化に伴う多チャネル化により回路規模は小さい必要がある。実際には、各チャネルに最低 1 個の演算増幅回路が用いられる。

【0003】 図 8 は、従来の CMOS 演算増幅回路の構成例を示す回路図である。図 8 において、PT11 ~ PT16 は pMOS トランジスタ、NT11 ~ NT13 は nMOS トランジスタ、I11、I12 は電流源をそれぞれ示している。

【0004】 pMOS トランジスタ PT11 および PT12 のソース同士が接続され、pMOS トランジスタ PT13 ~ PT16 のソースが電源電圧 VDD の供給ラインに接続され、nMOS トランジスタ NT11 ~ NT13 のソースが接地ラインに接続されている。pMOS トランジスタ PT11 および nMOS トランジスタ NT11 のドレイン同士が接続されてノード ND11 が構成されている。また、pMOS トランジスタ PT12 および nMOS トランジスタ NT12 のドレイン同士が接続され、nMOS トランジスタ NT11 および NT12 のゲート同士が接続され、さらにこのゲート同士の接続中点が nMOS トランジスタ NT12 のドレインに接続されて初段の差動増幅器が構成されている。この差動増幅器の出力であるノード ND11 は nMOS トランジスタ NT13 のゲートに接続されている。pMOS トランジスタ PT16 および nMOS トランジスタ NT13 のドレイン同士が接続されて出力増幅段が構成され、このドレイン同士の接続中点により出力側ノード ND12 が構成され、このノード ND12 が出力端 TOUT に接続されている。

【0005】 また、pMOS トランジスタ PT13 および PT14 のゲート同士が接続され、このゲート同士の接続中点が pMOS トランジスタ PT13 のドレインおよび電流源 I11 に接続されてカレントミラー回路が構成されている。そして、pMOS トランジスタ PT14 のドレインが差動増幅器を構成する pMOS トランジスタ PT11 および PT12 のソース同士の接続中点に接続されている。これにより、カレントミラー回路から差動増幅器に対して定電流が供給される。同様に、pMOS トランジスタ PT15 および PT16 のゲート同士が接続され、このゲート同士の接続中点が pMOS トランジスタ PT15 のドレインおよび電流源 I12 に接続されてカレントミラー回路が構成されている。このカレントミラー回路により出力増幅段に対して定電流が供給される。

【0006】 そして、初段差動増幅器の pMOS トラン

ジスタPT11のゲートが信号INの入力端TINに接続され、pMOSトランジスタPT12のゲートが出力側ノードND12に接続されている。初段差動増幅器は、pMOSトランジスタPT11のゲートにより非反転入力構成され、pMOSトランジスタPT12のゲートにより反転入力構成され、反転入力が出力に接続されていることから、ゲイン「1」の増幅器となっている。また、出力段のnMOSトランジスタNT13のゲートとドレインとの間には位相補償用のキャパシタC11が接続されている。

【0007】図8のCMOS演算増幅回路は、入力印加電圧VINと同電圧のVOUTを出力する。そして、出力段は、定電流で駆動しているため、この演算増幅器はA級動作をする。

【0008】

【発明が解決しようとする課題】ところで、液晶パネルの大型化、高解像度化に伴い、演算増幅回路も高速なものが必要になってくるが、図8のCMOS演算増幅回路では、負荷容量を高速に放電はできるが、充電はpMOSトランジスタPT15、PT16からなるカレントミラー回路による定電流値によってスピードが決定されてしまい、高速にするためには、定電流を大きくしなければならない。この電流は、負荷をチャージアップし、出力電圧が入力電圧に等しくなった定常状態以後も、常時流れ続けるため、消費電流は大きくなる。

【0009】そこで、この問題を解決するために、図9に示すような充電用増幅器と放電用増幅器を並列に接続した回路が提案されている。しかし、この回路では、充電用増幅器AMPAと放電用増幅器AMPBとを切り替えるためのスイッチSW11A、SW12A、SW11B、SW12Bが必要となり、また、各チャネルごとに2つの増幅器が必要であることから、大型化を招くという問題がある。

【0010】本発明は、かかる事情に鑑みてなされたものであり、その目的は、動作速度の向上を図れ、低消費電力化をも図れ、また大型化を防止できる演算増幅回路を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の演算増幅回路は、比例関係にある第1および第2の電流を供給する第1の電流源と、第3の電流を供給する第2の電流源と、上記第2の電流と上記第3の電流との加算電流を一定とする定電流手段と、上記第3の電流に比例した電流で出力端を充電または放電する第1のトランジスタと、入力信号に応じて上記出力端を放電または充電する第2のトランジスタと、上記入力信号に応じて上記第2のトランジスタに流れる電流に比例した関係で上記第1の電流の電流値を制御する第3のトランジスタと、少なくとも非充放電時である定常状態時に、上記出力端に対し第4の電流を供給する第3の電流

源とを有する。

【0012】また、本発明の演算増幅回路は、比例関係にある第1および第2の電流を供給する第1の電流源と、第3の電流を供給する第2の電流源と、上記第2の電流と上記第3の電流との加算電流を一定とする定電流手段と、上記第3の電流に比例した電流で出力端を充電または放電する第1のトランジスタと、入力信号に応じて上記出力端を放電または充電する第2のトランジスタと、上記入力信号に応じて上記第2のトランジスタに流れる電流に比例した関係で上記第1の電流の電流値を制御する第3のトランジスタと、放電時に上記第1の電流の上限値を制限する回路とを有する。

【0013】

【作用】本発明の演算増幅回路によれば、第1の電流と第2の電流と第2のトランジスタを流れる電流とは比例関係にあり、第2の電流と第3の電流との加算電流は一定であり、第3の電流と第1のトランジスタを流れる電流とは比例関係にあるので、第2のトランジスタを流れる電流が増加すると、第1の電流および第2の電流が増加することにより第3の電流が減少して第1のトランジスタを流れる電流が減少する。これに対して、第2のトランジスタに流れる電流が減少すると、第1の電流および第2の電流が減少することにより第3の電流が増加して第1のトランジスタに流れる電流が増加する。すなわち、この回路は、AB級動作で出力端を充放電する。

【0014】そして、少なくとも定常状態時には、第3の電流源から出力端子に対していわゆるアイドル電流が供給される。ここで、第3の電流源が存在しない場合について考察すると、この場合、定常状態時に、アイドル電流に相当する微少電流を第1のトランジスタによって流さなければならない。本来、放電時の出力電圧の上昇のスピード、すなわちスルーレートを高めるために、第1のトランジスタのトランジスタサイズは大きくするように設定される。このとき、微少電流を第1のトランジスタによって流すためには、第1のトランジスタはしきい値電圧近傍で動作するようにしなければならない。このことは、プロセスのコンディションにより第1のトランジスタのしきい値電圧がばらついた場合、回路的に非常に不安定になることを意味する。これに対して、第3の電流源が存在することで、第1のトランジスタのしきい値電圧近傍の特性を考慮せずに安定に動作させることが可能となる。

【0015】また、放電時に、第1の電流の上限値が極端に大きくなるのが制限されて、消費電流が抑制される。

【0016】

【実施例1】図1は、本発明に係るCMOS演算増幅回路の第1の実施例を示す回路図であって、従来例を示す図8と同一構成部分は同一符号をもって表す。すなわち、PT11～PT19はpMOSトランジスタ、NT11～

NT15はnMOSトランジスタ、I11は電流源、C11は位相補償用キャパシタ、CLは出力負荷容量をそれぞれ示している。

【0017】本回路では、図8に示す従来回路における初段差動増幅器の後段にpMOSトランジスタPT17、PT18からなるカレントミラー回路が配置され、nMOSトランジスタNT14のゲートに初段差動増幅器の出力を供給し、上記カレントミラー回路に流れる電流を利用してpMOSトランジスタPT15およびPT16からなるカレントミラー回路により出力段側に電流を供給するように構成され、さらに、電源電圧VDDの供給ラインとノードND12（pMOSトランジスタPT16のドレイン）との間に定電流源としてのpMOSトランジスタPT19を接続して、ノードND12にアイドリング電流I19を流し込むように構成されている。また、pMOSトランジスタPT19のゲートは定電圧VB1の供給ラインに接続されている。

【0018】pMOSトランジスタPT17およびpMOSトランジスタPT18のソースが電源電圧VDDの供給ラインに接続され、pMOSトランジスタPT17およびpMOSトランジスタPT18のゲート同士が接続され、その接続中点がpMOSトランジスタPT17のドレインに接続されてノードND13が構成され、このノードND13がnMOSトランジスタNT14のドレインに接続されている。そして、pMOSトランジスタPT18のドレインとnMOSトランジスタNT15のドレイン同士が接続されてノードND14が構成され、このノードND14がpMOSトランジスタPT15のドレインおよびゲート、並びにpMOSトランジスタPT16のゲートに接続されている。ノードND14はnMOSトランジスタNT15のドレインに接続され、nMOSトランジスタNT15のソースは接地ラインに接続され、ゲートが定電圧VB2の供給ラインに接続されている。すなわち、nMOSトランジスタNT15により定電流が発生される。さらに、nMOSトランジスタNT14のソースは接地ラインに接続され、ゲートがノードND11に接続されている。

【0019】図2は、定電流源としてのpMOSトランジスタPT19およびnMOSトランジスタNT15のゲートに定電圧VB1、VB2を供給する定電圧供給回路100の構成例を示す回路図である。

【0020】この定電圧供給回路100は、図2に示すように、抵抗素子R101、pMOSトランジスタPT

$$I18 = \{ (W18 / L18) / (W17 / L17) \} \cdot I17 \quad \dots (1)$$

【0025】ここで、W18、W17はトランジスタのチャネル幅、L18、L17はトランジスタのチャネル長をそれぞれ示している。ところが、この場合、上述したように、pMOSトランジスタPT17を流れる電流I17はほとんど0となることから、pMOSトランジスタPT18にドレインに流れる電流I18もほぼ0となる。

【0026】nMOSトランジスタNT15のドレインに

101、PT102、およびnMOSトランジスタNT101～NT103により構成されている。抵抗素子R101およびnMOSトランジスタNT101、pMOSトランジスタPT101およびnMOSトランジスタNT102、pMOSトランジスタPT102およびnMOSトランジスタNT103がそれぞれ電源電圧VDDの供給ラインと接地ラインとの間に直列に接続されている。そして、抵抗素子R101とnMOSトランジスタNT101のドレインとの接続中点が、nMOSトランジスタNT101およびNT102のゲートに接続されている。また、pMOSトランジスタPT101およびnMOSトランジスタNT102のドレイン同士の接続中点ND101がpMOSトランジスタPT101およびPT102のゲートに接続されてカレントミラー回路が構成され、このノードND101の電位が定電圧VB1としてpMOSトランジスタPT19のゲートに供給される。また、pMOSトランジスタPT102およびnMOSトランジスタNT103のドレイン同士の接続中点ND101がnMOSトランジスタPT103のゲートに接続され、その接続ノードND102から定電圧VB2がnMOSトランジスタNT15のゲートに供給される。

【0021】次に、nMOSトランジスタNT13、NT14、NT15のドレインに流れる電流をそれぞれI13、I14、I15N、pMOSトランジスタPT17、PT18、PT15、PT16、PT19に流れる電流をそれぞれI17、I18、I15P、I16、I19として、上記構成による動作について、電流の流れを中心に説明する。

【0022】まず、出力段のnMOSトランジスタNT13のゲート電圧が下がり、出力負荷を充電する場合、すなわちVIN > VOUTの場合について説明する。この場合、ノードND11はほぼ接地レベル（0V）になり、nMOSトランジスタNT14、NT13はカットオフする。そして、ノードND13は電位的にVDDレベルに近付き、pMOSトランジスタPT17を流れる電流I17はほとんど0となる。

【0023】pMOSトランジスタPT17とpMOSトランジスタPT18とによりカレントミラー回路を構成しているためpMOSトランジスタPT18のドレインに流れる電流I18は、pMOSトランジスタPT17とpMOSトランジスタPT18とのトランジスタサイズの比に比例に次式で与えられる。

【0024】

【数1】

流れる電流I15Nは一定であるため、I15P = I15Nとなり、電流I15Nはほぼ100%、pMOSトランジスタPT15に流れる。また、pMOSトランジスタPT15とpMOSトランジスタPT16とはカレントミラー回路を構成しているため、次式が成立する。

【0027】

【数2】

$$\begin{aligned}
 I_{16} &= \{ (W_{16}/L_{16}) / (W_{15}/L_{15}) \} \cdot I_{15P} \\
 &= \{ (W_{16}/L_{16}) / (W_{15}/L_{15}) \} \cdot I_{15N} \quad \dots(2)
 \end{aligned}$$

【0028】これらのことより、出力端子T<sub>OUT</sub> への出力電流I<sub>OUT</sub> は次のようになる。

【0029】  
【数3】

$$\begin{aligned}
 I_{OUT} &= I_{16} + I_{19} \\
 &= \{ (W_{16}/L_{16}) / (W_{15}/L_{15}) \} \cdot I_{15N} + I_{19} \quad \dots(3)
 \end{aligned}$$

【0030】このとき、nMOSトランジスタNT<sub>13</sub>のドレイン電流I<sub>13</sub>およびnMOSトランジスタNT<sub>14</sub>のドレイン電流I<sub>14</sub>は、ほぼ0である。従って、pMOSトランジスタPT<sub>18</sub>のドレイン電流I<sub>18</sub>が増加し、その結果、出力段のpMOSトランジスタPT<sub>16</sub>のドレイン電流I<sub>16</sub>は、電流I<sub>18</sub>の増加に伴い、増加する。これにより、出力負荷の充電が促進される。

【0031】この充電時の定電流源としてのpMOSトランジスタPT<sub>19</sub>によるアイドル電流I<sub>19</sub>の値は、たとえば約4.8μAであり、pMOSトランジスタPT<sub>16</sub>のドレイン電流I<sub>16</sub>は、約280μAである。

【0032】次に、出力段のnMOSトランジスタNT<sub>13</sub>のゲート電圧が上がり、出力負荷を放電する場合、すなわち、V<sub>IN</sub> < V<sub>OUT</sub> の場合について説明する。この場合、入力信号I<sub>N</sub>が接地レベルに近い低レベルで差動増幅器のpMOSトランジスタPT<sub>11</sub>のゲートに供給されると、ノードND<sub>11</sub>のレベルは、nMOSトランジスタ

$$I_{15N} = I_{18} + I_{15P}$$

したがって、

【0035】

$$I_{15P} = I_{15N} - I_{18}$$

【0036】すなわち、電流I<sub>18</sub>はnMOSトランジスタNT<sub>14</sub>のドレイン電流I<sub>14</sub>の増加に伴い増加することから、pMOSトランジスタPT<sub>15</sub>のドレイン電流I<sub>15P</sub>は減少する。

【0037】ここで、下記(6)式が成立するように、nMOSトランジスタNT<sub>14</sub>、pMOSトランジスタP

$$I_{15N} = I_{18} = \{ (W_{18}/L_{18}) / (W_{17}/L_{17}) \} \cdot I_{17} \quad \dots(6)$$

【0039】この場合、pMOSトランジスタPT<sub>15</sub>のドレイン電流I<sub>15P</sub>がほぼ0であるため、pMOSトランジスタPT<sub>16</sub>のドレイン電流I<sub>16</sub>も減少しほぼ0となる。その結果、出力端子T<sub>OUT</sub> からのいわゆる吸い込み電流は(I<sub>13</sub> - I<sub>19</sub>)となり、出力負荷の放電が促進される。

【0040】この放電時の定電流源としてのpMOSトランジスタPT<sub>19</sub>によるアイドル電流I<sub>19</sub>の値は、たとえば約2.7μAであり、pMOSトランジスタPT<sub>16</sub>のドレイン電流I<sub>16</sub>は、ほぼ0Aである。

【0041】次に、出力負荷CL に対する充放電が行われない定常状態の場合、すなわちV<sub>IN</sub> = V<sub>OUT</sub> の場合について説明する。この場合、出力端子T<sub>OUT</sub> への電流の入出力はなくなり、I<sub>13</sub> = I<sub>19</sub>となる。

【0042】ちなみに、この定常状態時の定電流源としてのpMOSトランジスタPT<sub>19</sub>によるアイドル電

NT<sub>14</sub>、NT<sub>13</sub>のしきい値電圧より高くなり、nMOSトランジスタNT<sub>13</sub>およびNT<sub>14</sub>のゲート電圧が上昇し、nMOSトランジスタNT<sub>13</sub>およびNT<sub>14</sub>のドレイン電流I<sub>13</sub>およびI<sub>14</sub>が増加する。ここで、nMOSトランジスタNT<sub>13</sub>とNT<sub>14</sub>は同じトランジスタサイズであるとする。

【0033】これにより、カレントミラー回路を構成する各pMOSトランジスタPT<sub>15</sub>、PT<sub>18</sub>からノードND<sub>14</sub>に電流I<sub>15P</sub>、I<sub>18</sub>が流れ込む。ここで、ゲートに定電圧V<sub>B2</sub>が供給されるnMOSトランジスタNT<sub>15</sub>のドレイン側には定電流I<sub>15N</sub>が流れる。この定電流I<sub>15N</sub>は、下記式に示すようにノードND<sub>14</sub>に流れ込むpMOSトランジスタPT<sub>18</sub>のドレイン電流I<sub>18</sub>とpMOSトランジスタPT<sub>15</sub>のドレイン電流I<sub>15P</sub>との和となる。

【0034】

【数4】

$$\dots(4)$$

【数5】

$$\dots(5)$$

PT<sub>17</sub>、PT<sub>18</sub>、PT<sub>15</sub>、PT<sub>16</sub>のトランジスタサイズを設定することにより、pMOSトランジスタPT<sub>15</sub>のドレイン電流I<sub>15P</sub>がほぼ0となる。

【0038】

【数6】

流I<sub>19</sub>の値、並びにpMOSトランジスタPT<sub>16</sub>のドレイン電流I<sub>16</sub>は、放電時の場合と同様であり、たとえばアイドル電流I<sub>19</sub>約2.7μAであり、pMOSトランジスタPT<sub>16</sub>のドレイン電流I<sub>16</sub>は、ほぼ0Aである。

【0043】ここで、図1の回路において、pMOSトランジスタPT<sub>19</sub>からなる定電流源が存在しない場合について考察する。この場合、V<sub>IN</sub> = V<sub>OUT</sub> 時にアイドル電流I<sub>19</sub>に相当する微小電流をpMOSトランジスタPT<sub>16</sub>によって流さなければならない。本来、V<sub>IN</sub> < V<sub>OUT</sub> 時の出力電圧の上昇のスピード、すなわちスルーレートを高めるために、pMOSトランジスタPT<sub>15</sub>に対してpMOSトランジスタPT<sub>16</sub>のトランジスタサイズは大きくなるように設定している。このとき、微小電流をpMOSトランジスタPT<sub>16</sub>によって流すためには、pMOSトランジスタPT<sub>16</sub>はしきい値電圧近傍で

動作するようにしなければならない。このことは、プロセスのコンディションにより pMOS トランジスタ P T 16 のしきい値電圧がばらついた場合、回路的に非常に不安定になることを意味する。したがって、pMOS トランジスタ P T 19 からなる定電流源が存在することで、pMOS トランジスタ P T 16 のしきい値電圧近傍の特性を考慮せずに安定に動作させることが可能となっている。

【0044】図3に、図1の回路特性についてのシミュレーション結果を示す。図3に示すように、図1の回路は、ほぼ良好な増幅特性を得ることができる。

【0045】以上説明したように、本第1の実施例によれば、初段差動増幅器の後段に pMOS トランジスタ P T 17、P T 18 からなるカレントミラー回路を配置し、nMOS トランジスタ N T 14 のゲートに初段差動増幅器の出力を供給し、上記カレントミラー回路に流れる電流を利用して pMOS トランジスタ P T 15、P T 16 からなるカレントミラー回路により出力段側に電流を供給し、かつ出力端子 T O U T に対してアイドリング電流 I 19 を供給する pMOS トランジスタ P T 19 からなる定電流源を設けたので、A級動作ではなく、いわゆるAB級動作をすることから、出力放電時の大電流は出力段だけに流れ、余分な電流を減少させることができる。これにより、従来と同様のダイナミックレンジを確保しつつ、大型化を招くことなく従来よりも低消費電力で、高速動作が可能なCMOS演算増幅回路を実現できる利点がある。さらに、pMOS トランジスタ P T 16 のしきい値電圧近傍の特性を考慮せずに定常状態およびその状態に移移するときの直流的な動作の安定性を図ることができる。このため、製造プロセスに厳格に制御が不要なる等の利点がある。

【0046】また、カレントミラー回路としてウィルソン型のカレントミラー回路を用いることにより、さらな

$$I_{17} \geq \{ (W_{17}/L_{17}) / (W_{18}/L_{18}) \} \cdot I_{18} = I_{15N} \quad \dots (7)$$

【0052】しかし、一時的に電流 I 17 が I 15N に比べて非常に大きな電流となる。このことは、消費電流的な見地から好ましいことではない。そこで、本第3の実施例では、動作上全く問題ないように、電流 I 17 を制限する意味で nMOS トランジスタ N T 16 からなる定電流源を設けている。なお、この定電流源は、電流 I 15N より多少大きい電流を流せるように構成される。

【0053】本第3の実施例によれば、動作特性を変えずにその内部の消費電流を最小限にするための定電流源を設けたので、上述した第1の実施例の効果に加えて、さらに回路全体の消費電流を抑えることができる。

【0054】図6に、図5の回路特性についてのシミュレーション結果を示す。図6に示すように、図1の回路は、ほぼ良好な増幅特性を得ることができるが、図5の回路は、さらに、良好な増幅特性を得ることができる。

【0055】なお、図5の構成では、図1のアイドリング電流用定電流源を設けた回路に、放電時の電流リミッ

る低消費電流化を実現できる。

【0047】

【実施例2】図4は、本発明に係る演算増幅回路の第2の実施例を示す回路図であって、本回路は実施例1の変形例である。この回路では、各トランジスタの極性が逆、すなわち図1で p チャンネルのトランジスタの代わりに n チャンネルのトランジスタが用いられ、n チャンネルのトランジスタの代わりに p チャンネルのトランジスタが用いられている。

【0048】ここでは、具体的な接続関係、並びに作用についての説明は、実施例1の場合と略同様に行われることから、省略する。本回路においても、上述した実施例1の効果と同様の効果を得ることができる。

【0049】

【実施例3】図5は、本発明に係る演算増幅回路の第3の実施例を示す回路図である。本第3の実施例が上述した実施例1と異なる点は、nMOS トランジスタ N T 14 のソースと接地ラインとの間に、ゲートが定電圧 V B2 の供給ラインに接続され放電時の電流リミット用電流源としての nMOS トランジスタ N T 16 を、さらに設けたことにある。

【0050】nMOS トランジスタ N T 16 がない場合には、放電時、すなわち、V IN < V O U T 時、特に出力電圧 V O U T が V IN より極端に高い場合は、nMOS トランジスタ N T 13 が大きな電流を流せるようにそのゲート電位は上昇する。すなわち、このとき同じゲート電位をもつ nMOS トランジスタ N T 14 にも大きな電流が流れてしまう。基本的な動作を考察すれば、次式が成立していればよい。

【0051】

【数7】

タ用電流源としての nMOS トランジスタ N T 16 を追加する構成としたが、アイドリング電流用定電流源と併用しない回路であっても低消費電流化を図ることができることはいうまでもない。

【0056】

【実施例4】図7は、本発明に係る演算増幅回路の第4の実施例を示す回路図であって、本回路は実施例3の変形例である。この回路では、各トランジスタの極性が逆、すなわち図5で p チャンネルのトランジスタの代わりに n チャンネルのトランジスタが用いられ、n チャンネルのトランジスタの代わりに p チャンネルのトランジスタが用いられている。

【0057】ここでは、具体的な接続関係、並びに作用についての説明は、実施例1の場合と略同様に行われることから、省略する。本回路においても、上述した実施例3の効果と同様の効果を得ることができる。

【0058】また、上述した各実施例においては、MO

【図3】図1の回路のシミュレーション結果を示す図で

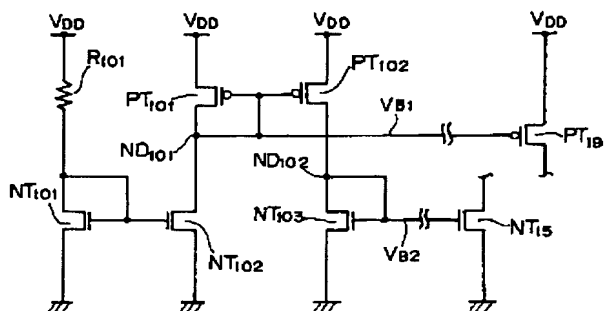
I 11, I 11a …電流源

[illegible]

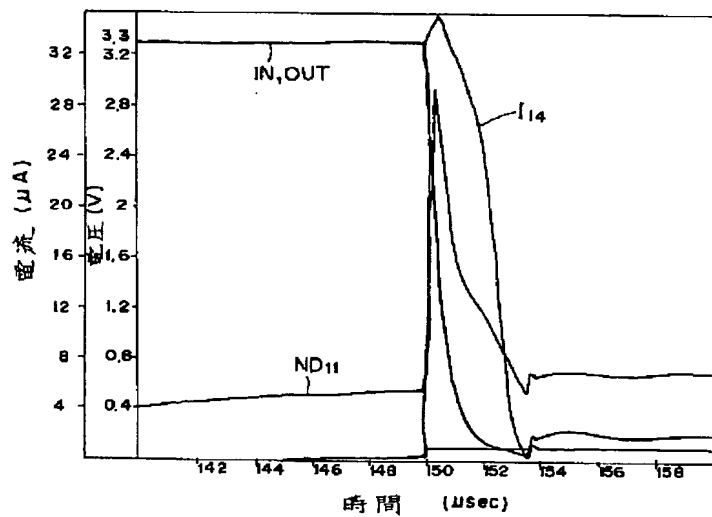


【図2】

100

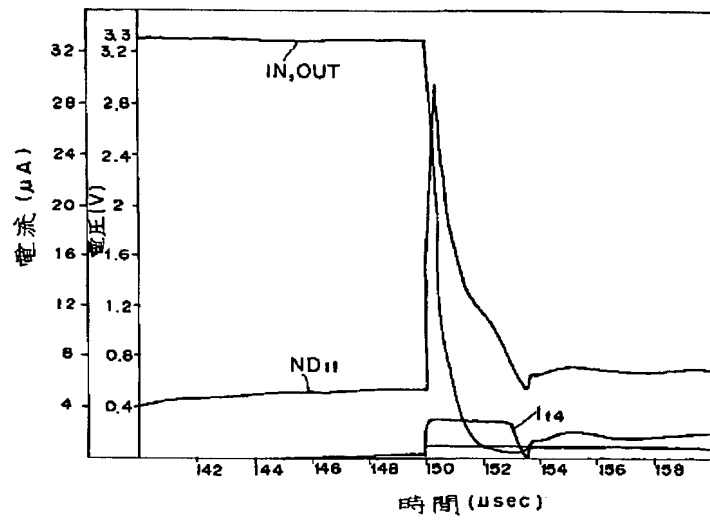


【図3】

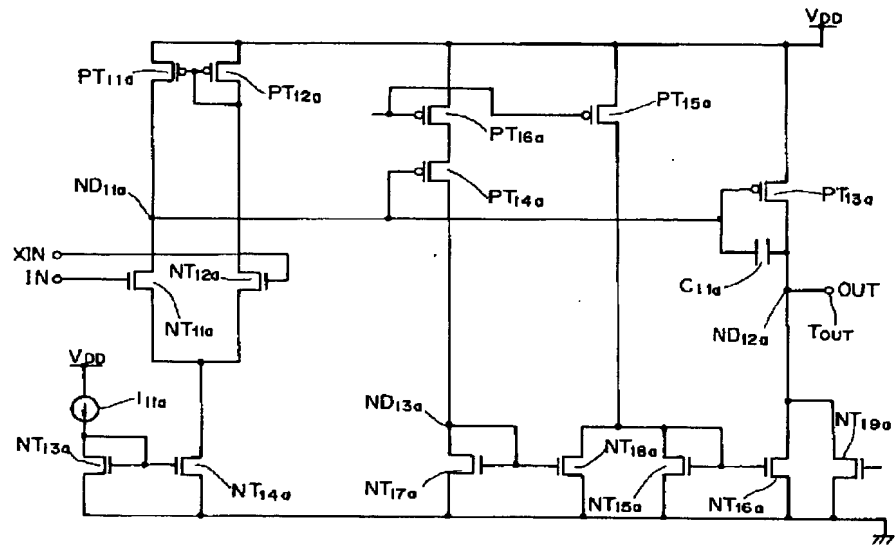




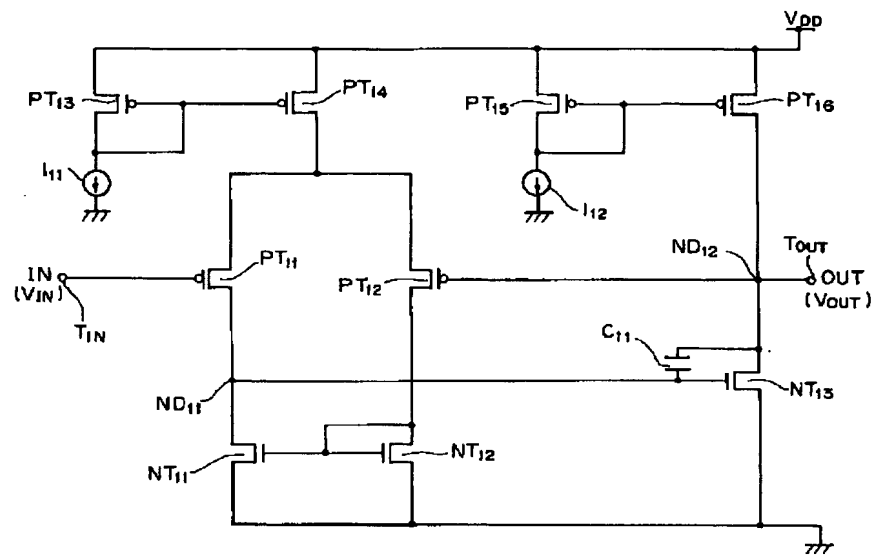
【図6】



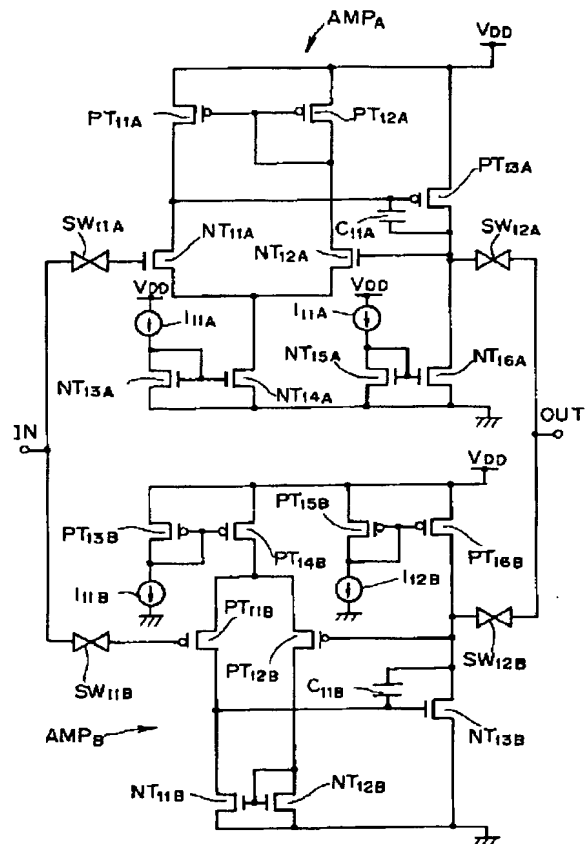
【図7】



【図 8】



【図 9】



フロントページの続き

(72) 発明者 東 真砂彦

埼玉県鳩ヶ谷市南3丁目18番36号 日本テ  
キサス・インスツルメンツ株式会社内

(72) 発明者 佐藤 多積

大分県速見郡日出町大字大神1357番地 株  
式会社日出ハイテック内